



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No. 1020010003252

(43) Publication Date. 20010115

(21) Application No. 1019990023474

(22) Application Date. 19990622

(51) IPC Code:

H01L 27/10

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

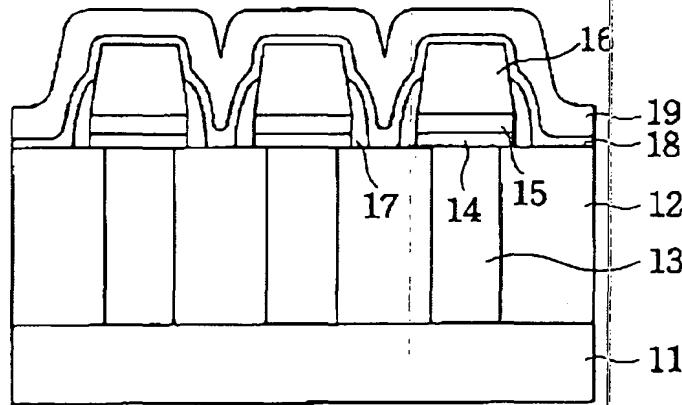
HONG, GWON

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING A CAPACITOR OF A SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to prevent a diffusion blocking layer from being oxidized, by forming an Al₂O₃ layer spacer having a superior leakage current characteristic in patterning a storage electrode.

CONSTITUTION: An interlayer dielectric(12) having a storage electrode contact plug(13) is formed on a semiconductor substrate(11). A Ti layer(14), a diffusion blocking layer(15) and an iridium layer(16) for a storage electrode are sequentially formed on the interlayer dielectric. The stacked structure is sequentially etched to form a storage electrode, a diffusion blocking layer pattern and a Ti

layer pattern by using the storage electrode mask as an etching mask. An Al₂O₃ layer(17) is formed on the entire structure. The Al₂O₃ layer is entirely etched to form a spacer on a sidewall of the stacked structure. A BST layer(18) as a high dielectric layer is formed on the entire surface. A platinum layer(19) for a plate electrode is formed on the BST layer.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

공개특허 2001-0003252

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/10	(11) 공개번호 특2001-0003252 (43) 공개일자 2001년 01월 15일
(21) 출원번호 10-1999-0023474	
(22) 출원일자 1999년 06월 22일	
(71) 출원인 현대전자산업 주식회사	김영한
(72) 발명자 경기도 이천시 부발읍 애미리 산 136-1 홍권	경기도 성남시 분당구 애현동 탑마을 경남아파트 713-1703
(74) 대리인 이후동, 이정훈	
설명구 : 있음	
(54) 반도체소자의 캐퍼시터 제조방법	

요약

본 발명은 반도체소자의 캐퍼시터 제조방법에 관한 것으로, 고유전율질을 사용하는 캐퍼시터에서 하부전극 패터닝공정시 하부전극 쿨링과 다결정실리콘층 콘택트플러그 사이에 형성되는 확산망지막의 층벽이 노출되어 캐퍼시터의 전기적 특성을 저하시키는 것을 막지하기 위하여 상기 확산망지막의 층벽이 노출되지 않도록 ALE(atomic layer epitaxy)방법으로 Al₂O₃막을 형성한 후 전면건식식각을 하여 스페이서를 형성함으로써 확산망지막이 노출되어 산화되는 것을 방지하여 고유전특성 및 누설전류 특성이 우수한 캐퍼시터를 형성할 수 있고 그에 따른 소자의 특성 및 수율을 향상시키는 기술에 관한 것이다.

대표도**도6****형세서****도면의 간단한 설명**

도 1 내지 도 6은 본 발명에 따른 반도체소자의 캐퍼시터 제조방법을 도시한 단면도.

<도면의 주요부분에 대한 부호 설명>

- | | |
|---------------------------------------|------------|
| 11 : 반도체기판 | 12 : 층간절연막 |
| 13 : 저장전극 콘택트플러그 | 14 : 티타늄막 |
| 15 : 금속확산방지막 | 16 : 이리듐막 |
| 17 : Al ₂ O ₃ 막 | 18 : BST막 |
| 19 : 플라티늄막 | |

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체소자의 캐퍼시터 제조방법에 관한 것으로서, 특히 고유전체인 BST((Ba_{1-x}Sr_x)TiO₃)막을 사용하는 캐퍼시터에서 하부전극 패터닝공정시 확산망지막이 노출되어 상기 BST막의 특성이 저하되는 것을 막기 위한 반도체소자의 캐퍼시터 제조방법에 관한 것이다.

최근 반도체소자의 고집적화 추세에 따라 씽 크기가 감소되어 충분한 정전용량을 갖는 캐퍼시터를 형성하기가 어려워지고 있다.

특히, 하나의 도스 트랜지스터와 캐퍼시터로 구성되는 디램 소자에서는 캐퍼시터의 정전용량을 증가시키기 위하여 유전상수가 높은 윤질을 유전체막으로 사용하거나, 유전체막의 두께를 얇게 하거나 또는 저장전극의 표면적을 증가시키는 등의 방법이 있다.

도시되어 있지는 않지만, 종래기술에 따른 반도체소자의 캐퍼시터 제조방법을 살펴보면 다음과 같다.

먼저, 반도체기판 상에 소자문리 산화막과 게이트산화막을 형성하고, 게이트전극과 소오스/드레인전극으로 구성되는 모스 전계효과 트랜지스터 및 비트라인을 형성한 후, 상기 구조의 전표면에 층간절연막을

공개특허 2001-0003252

형성한다.

그 다음 상기 소오스/드레이인전극 중 저장전극 콘택트으로 예정되어 있는 부분 상측의 층간절연막을 제거하여 저장전극 콘택트를 형성하고, 상기 콘택트를 통하여 소오스/드레이인전극과 접촉되는 저장전극을 다결정실리콘층 패턴으로 형성한 후, 상기 저장전극의 표면에 산화막-질화막-산화막 구조의 유전체막을 형성하고, 상기 유전체막상에 플레이트전극을 형성하여 캐퍼시터를 완성한다.

상기와 같은 종래기술에 따른 반도체소자의 캐퍼시터에서 유전체막은 고유전율, 저누설전류밀도, 높은 절연파괴전압 및 상하측 전극과의 안정적인 계면특성 등이 요구되는데, 상기 산화막은 유전상수가 약 3.8 정도이고 질화막은 약 7.2 정도로 비교적 작고 전극으로 사용되는 다결정실리콘층은 비저항이 800 ~ 1000 Ω 정도로 비교적 높아 전용량이 제한된다.

상기와 같은 문제점을 해결하기 위하여 산화막-질화막-산화막의 적층구조로된 유전체막 대신에 Ta₂O₅막 또는 BST막과 같은 고유전체막을 사용한다.

상기 BST막은 256M DRAM 이상의 고질적 메모리 소자의 캐퍼시터의 유전체막으로 사용이 널리 고려되고 있다.

상기 BST막과 같은 고유전체를 사용하는 캐퍼시터에서는 전극물질로 플라티늄막 또는 이리듐막을 사용하는데, 이때 다결정실리콘층으로 형성된 저장전극 콘택트와 상기 전극물질이 서로 반응하는 것을 방지하기 위하여 전극물질을 형성하기 전에 금속학산방지막을 형성하였다.

그러나, 상기 금속학산방지막은 하부전극의 마스크층정시 측벽이 노출되어 BST막의 고온증작 및 어닐링정시 산화되어 정전용량값을 감소시키는 문제점을 지니고 있다. 또한, 최근에는 미국의 디바이스업체에서 금속학산방지막을 저장전극 콘택트플러그내에 애릴하여, TiN막의 화학적기계적연마(chemical mechanical polishing, 이하 CMP라 함)공정에 의해 고유전체 캐퍼시터의 저장전극을 형성하고자 하지만, 금속 CMP의 문제점과 디자인의 갈소에 따라 수반되는 이스얼라인 등의 문제로 이를 해결하지 못하고 있다. 따라서 이러한 금속학산방지막의 산화를 막기 위해 스페이서 산화막을 저장전극 패터닝 이후에 여러방법으로 적용하였으나, 산화막의 중첩은도가 비교적 고운이고, SiH₄가스를 이용한 플라즈마화학기상증착(plasma enhanced chemical vapor deposition, 이하 PE-CVD라 함)방법은 스텝커버리지(step coverage)가 열악하여 스페이서 산화막을 형성하기 위한 프로파일을 얻기 힘든 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 고유전체 캐퍼시터에서 하부전극의 패터닝공정시 학산방지막이 노출되지 않도록 누설전류 특성이 우수한 Al₂O₃막 스페이서를 형성함으로서 상기 학산방지막이 노출되어 산화되는 것을 방지하여 캐퍼시터의 전기적 특성을 향상시키는 반도체소자의 캐퍼시터 제조방법을 제공하는데 그 목적이다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 캐퍼시터 제조방법은,

반도체기판 상부에 저장전극 콘택트플러그가 구비된 층간절연막을 형성하는 공정과,

상기 층간절연막 상부에 Ti막, 특산방지막 및 하부전극용 이리듐막이 순차적으로 형성된 적층구조를 형성하는 공정과,

하부전극 마스크를 식각마스크로 사용하여 상기 적층구조를 순차적으로 식각하여 하부전극, 학산방지막 패턴, Ti막 패턴을 형성하는 공정과,

상기 구조 전표면에 Al₂O₃막을 형성하는 공정과,

상기 Al₂O₃막을 전면건식식각하여 상기 적층구조의 측벽에 스페이서를 형성하는 공정과,

상기 구조 전표면에 고유전체막인 BST막을 형성하는 공정과,

상기 BST막 상부에 상부전극용 플라티늄막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 청부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1 내지 도 6은 본 발명에 따른 반도체소자의 캐퍼시터 제조방법을 도시한 단면도이다.

먼저, 반도체기판(11) 상에 소자리를 절연막(도시안됨), 게이트 산화막(도시안됨)을 형성하고, 게이트전극(도시안됨)과 소오스/드레이인영역(도시안됨)으로 구성되는 모스 전계효과 트랜지스터 및 비트라인(도시안됨)을 형성한 다음, 전체표면 상부에 스텝커버리지(step coverage)가 우수한 BPSG(boronophosphosilicate glass) 등의 절연막을 사용하여 층간절연막(12)을 형성한다.

다음, 저장전극 콘택트마스크를 식각마스크로 상기 층간절연막(12)을 식각하여 저장전극 콘택트를 예정되는 부분을 노출시키는 저장전극 콘택트(도시안됨)를 형성한다.

그 다음, 전체표면 상부에 화학기상증착(chemical vapor deposition, 이하 CVD라 함)방법으로 도프드 다결정실리콘층(도시안됨)을 500 ~ 3000 Å 증착한 후, 상기 저장전극 콘택트 내에만 상기 도프드 다결정실리콘층이 날도록 CMP공정으로 연마하여 저장전극 콘택트플러그(13)를 형성한다. (도 1 참조)

다음, 전체표면 상부에 티타늄막(14), 학산방지막(15) 및 하부전극용 이리듐막(16)의 적층구조를 순차적으로 형성한다.

이때, 상기 티타늄막(14)은 상기 저장전극 콘택트플러그(13)와 하부전극을 이리듐막(16) 간의 접촉저항을

공개특허2001-0003252

강소시키기 위하여 형성된다. 그리고, 상기 확산방지막(15)은 TiSiN막 또는 TiAlN막 또는 TaAIN막 등의 3성분계 금속층으로 형성되되, 상기 확산방지막은 물리기상증착(physical vapor deposition, 이하 PVD라 함) 또는 CVD방법을 사용하여 300 ~ 1000 Å 두께로 형성된다.

그 다음, 상기 하부전극용 이리듐막(16) 상부에 하드마스크용 박막(도시안됨)을 형성하고, 저장전극으로 예정되는 부분을 보호하는 강광막 패턴(도시안됨)을 식각마스크로 사용하여 상기 하드마스크용 박막을 식각한다. 이때, 상기 하드마스크용 박막은 TiN막 또는 SiO₂막을 사용한다.

그리고, 상기 강광막 패턴을 제거한 다음, 상기 하드마스크용 박막패턴을 식각마스크로 사용하여 상기 적층구조를 식각함으로써 하부전극을 형성한다.

그 후, 상기 하드마스크용 박막패턴을 제거한다.

다음, 전제표면 상부에 ALE(atomic layer epitaxy)방법으로 Al₂O₃막(17)을 형성한다. 상기 Al₂O₃막(17)은 하부전극의 높이에 따라 300 ~ 1000 Å 범위내에서 증착할 수 있고, 상기 Al₂O₃막(17) 대신 ZrO₂막 또는 Y₂O₃막 또는 TiO₂막을 사용하여 형성할 수 있다. 상기 Al₂O₃막(17)은 상기 적층구조 식각공정시 상기 확산방지막(15) 및 티탄금막(14)의 측벽이 노출되어 산화되는 것을 방지하기 위하여 스텔커버리자 특성이 우수한 ALE방법으로 증착하는 것이다. 상기 ALE방법은 예를 들어 Al₂O₃막을 형성하는 경우, Si원자를 증착한 후 산소를 유입시켜주고, 다시 Si원자를 증착한 후 산소를 유입시켜 Al₂O₃ 막을 형성하는 것으로, 두께가 얇고 스텔커버리자 특성이 우수하다.

그 다음, 상기 Al₂O₃막(17)을 전연건식식각하여 상기 적층구조의 측벽에 스페이서로 형성한다.

다음, 전제표면 상부에 고유전률적인 BST막(18)을 CVD방법으로 300 ~ 1000 Å 두께 형성한다.

그 후, 상기 BST막(18) 상부에 상부전극용 플라티늄막(19)을 CVD방법으로 500 ~ 2000 Å 두께 형성하여 반도체소자의 캐패시터를 형성한다.

■명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 고유전률값을 사용하는 캐패시터에서 하부전극 패터닝 공정시 확산방지막의 측벽이 노출되어 캐패시터의 전기적 특성을 저하시키는 것을 방지하기 위하여 상기 확산방지막의 측벽이 노출되지 않도록 Al₂O₃막을 형성한 후 전연건식식각을 하여 스페이서를 형성함으로써 확산방지막이 노출되어 산화되는 것을 방지하여 고유전률성 및 누설전류 특성이 우수한 캐패시터를 형성할 수 있고 그에 따른 소자의 특성 및 수율을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상부에 저장전극 콘택틀러그가 구비된 충간절연막을 형성하는 공정과,

상기 충간절연막 상부에 Ti막, 확산방지막 및 하부전극용 이리듐막이 순차적으로 형성된 적층구조를 형성하는 공정과,

하부전극 마스크를 식각마스크로 사용하여 상기 적층구조를 순차적으로 식각하여 하부전극, 확산방지막 패턴, Ti막 패턴을 형성하는 공정과,

상기 구조 전표면에 Al₂O₃막을 형성하는 공정과,

상기 Al₂O₃막을 전연건식식각하여 상기 적층구조의 측벽에 스페이서를 형성하는 공정과,

상기 구조 전표면에 고유전체막인 BST막을 형성하는 공정과,

상기 BST막 상부에 상부전극용 플라티늄막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 2

제 1 항에 있어서,

상기 저장전극 콘택틀러그는 도포트다결정상리콘층을 CVD방법으로 증착한 다음, CMP방법으로 평탄화하여 형성되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 3

제 1 항에 있어서,

상기 확산방지막은 3성분계 금속층을 PVD 또는 CVD방법으로 300 ~ 1000 Å 두께 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 4

제 3 항에 있어서,

상기 3성분계 금속층은 TiSiN막 또는 TiAlN막 또는 TaAIN막 또는 TaSiN막인 것을 특징으로 하는 반도체

공개특허등2001-0003252

소자의 캐패시터 제조방법.

청구항 5

제 1 항에 있어서,

상기 하부전극마스크는 하드마스크인 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 6

제 5 항에 있어서,

상기 하드마스크는 TIN막 또는 SiO_2 막으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 7

제 1 항에 있어서,

상기 Al_2O_3 막은 ALE(atomic level epitaxy)방법을 사용하여 300 ~ 1000 Å 두께로 증착하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 8

제 1 항에 있어서,

상기 Al_2O_3 막은 ZrO_2 막 또는 Y_2O_3 막 또는 TiO_2 막으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 9

제 1 항에 있어서,

상기 BST막은 화학기상증착방법으로 300 ~ 1000 Å 두께 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

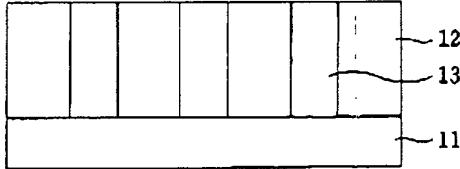
청구항 10

제 1 항에 있어서,

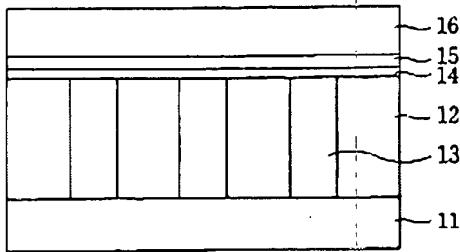
상기 상부전극용 플라티늄막은 화학기상증착방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

도면

도면1

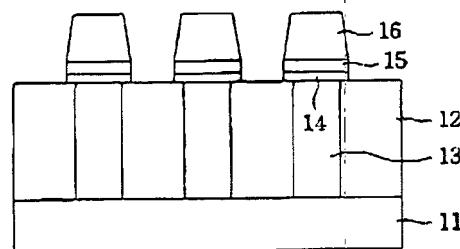


도면2

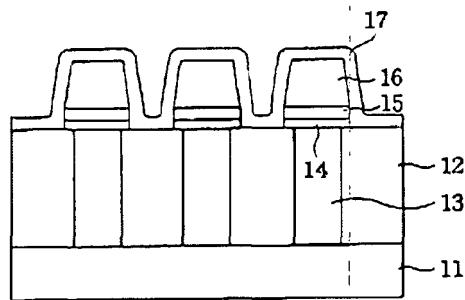


공개특허 2001-0003252

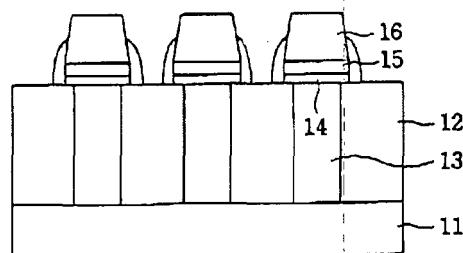
도면3



도면4



도면5



도면6

